



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07336017 A**(43) Date of publication of application: **22.12.95**

(51) Int. Cl.

H05K 3/07
C25D 5/18
C25D 7/00
C25F 3/00
H05K 3/10
H05K 3/40
H05K 3/46

(21) Application number: **06125945**(22) Date of filing: **08.06.94**(71) Applicant: **HITACHI LTD**

(72) Inventor:
INOUE TAKASHI
NOGUCHI TOSHIMITSU
ANDO SETSUO
WATABE TAKAYOSHI

(54) **MANUFACTURE OF THIN-FILM CIRCUIT BY PERIODIC REVERSE ELECTROLYZING METHOD AND THIN-FILM CIRCUIT BOARD, THIN-FILM MULTILAYER CIRCUIT BOARD AND ELECTRONIC CIRCUIT DEVICE USING THE SAME**

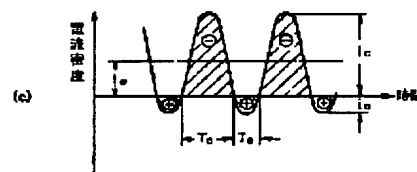
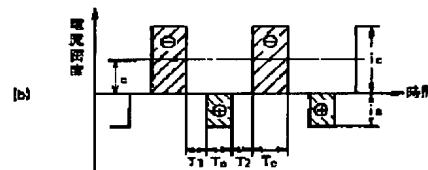
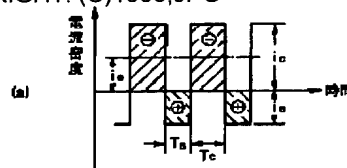
COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To make it easy to make a thin-film circuit multilayered and to improve a component density sharply by applying electroplating to a dielectric surface of the thin-film circuit by a periodic reverse electrolyzing method.

CONSTITUTION: When a current i_c on the minus side flows, a phenomenon of cathode electric deposition (deposition of a plating film) is brought about on a base holder and a base. When a current i_a on the plus side flows, on the other hand, a phenomenon of cathode dissolution (dissolution of the plating film) is brought about. According to this periodic reverse electrolyzing method, in other words, the deposition of the plating film proceeds on the surface of the base during a time T_c

when a cathode current flows, while the dissolution of the plating film proceeds on the surface of the base during a time T_a when an anode current flows. For instance, a waveform of (b) is obtained by putting prescribed pauses T_1 and T behind a cathode current pulse and an anode current pulse in an inverted pulse waveform of (a) respectively. Fig. (c) shows an asymmetrical sine wave (AC-DC superimposed wave) and the rise and fall of a current are gentle therein.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-336017

(43) 公開日 平成7年(1995)12月22日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/07				
C 2 5 D 5/18				
	7/00	J		
C 2 5 F 3/00		A		
H 0 5 K 3/10		E 7511-4E		
審査請求 未請求 請求項の数10 O L (全 13 頁) 最終頁に続く				

(21) 出願番号 特願平6-125945

(22) 出願日 平成6年(1994)6月8日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 井上 隆史

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72) 発明者 野口 利光

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(72) 発明者 安藤 節夫

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(74) 代理人 弁理士 高橋 明夫 (外1名)

最終頁に続く

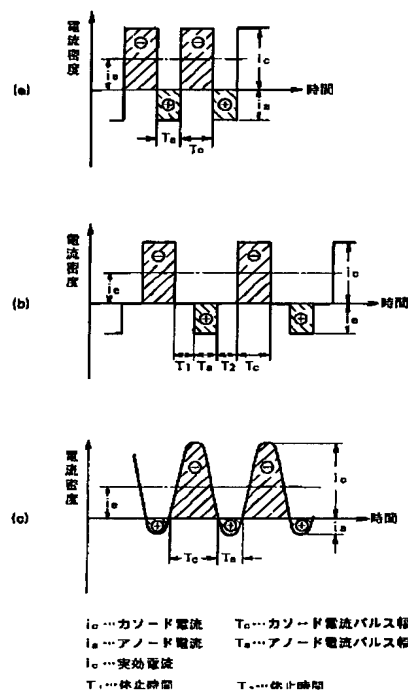
(54) 【発明の名称】 電流反転電解法による薄膜回路製造方法ならびにそれを用いた薄膜回路基板、薄膜多層回路基板および電子回路装置

(57) 【要約】

【目的】 高密度薄膜多層回路基板の製造プロセスにおいて、パターン化された穴や溝をもつ誘電体表面に対して、金属化処理を施すにあたり、最終的に、その穴や溝の中にだけ隙間なく金属導体を充填し、かつ、従来技術より高い精度で、その導体の表面を均一にして、前記誘電体表面を含む同一表面とする。そして、それにより平坦化されたビアで、垂直配線を行うことにより薄膜回路の多層化をより容易にし、歩留まりを高く保ちつつ、実装密度を大幅に向上させる。

【構成】 電解システムを有し、薄膜回路基板を一方の電極として、薄膜回路を電解により加工する薄膜回路製造方法において、カソード電析とアノード溶解を交互におこなう電流反転電解法により、前記薄膜回路の誘電体表面に、電気めっきを施し、かつ、不要な金属を電解エッチングまたは電解研磨を施し除去する。

図 2



【特許請求の範囲】

【請求項1】 電解システムを有し、薄膜回路基板を一方の電極として、薄膜回路を電解により加工する薄膜回路製造方法において、カソード電析とアノード溶解を交互におこなう電流反転電解法により、前記薄膜回路の誘電体表面に、電気めつきを施すことを特徴とする薄膜回路製造方法。

【請求項2】 電解システムを有し、薄膜回路基板を一方の電極として、薄膜回路を電解により加工する薄膜回路製造方法において、カソード電析とアノード溶解を交互におこなう電流反転電解法により、前記薄膜回路の誘電体表面の金属膜に、電解エッチングまたは電解研磨を施すことを特徴とする薄膜回路製造方法。

【請求項3】 前記電流反転電解法に用いられる電流が、パルス波形を有することを特徴とする請求項1および請求項2記載のいずれかの薄膜回路製造方法。

【請求項4】 前記カソード電析をおこなっている時間と前記アノード溶解をおこなっている時間との間に、前記電解システムが電流を流さない休止時間を設けたことを特徴とする請求項3記載の薄膜回路製造方法。

【請求項5】 前記電流反転電解法に用いられる電流が、非対称サイン波形を有することを特徴とする請求項1および請求項2記載のいずれかの薄膜回路製造方法。

【請求項6】 前記電流反転電解法に用いられる電流において、周波数が、1 Hz ないし 1 MHz、実効電流値が、 $\pm 0.1 \text{ A/dm}^2$ ないし $\pm 10 \text{ A/dm}^2$ （複号同順）であることを特徴とする請求項1ないし請求項5記載のいずれかの薄膜回路製造方法。

【請求項7】 パターン化された穴または溝を有する誘電体を含む薄膜回路基板において、その穴または溝に、請求項1記載の薄膜回路製造方法による電気めつきによって、金属を充填し、請求項2記載の薄膜回路製造方法による電解エッチングによって、不要な金属を除去して、前記誘電体表面と前記充填された金属の表面とが同一平面で、平坦に形成することを特徴とする薄膜回路製造方法。

【請求項8】 パターン化された穴または溝を有する誘電体を含む薄膜回路基板において、その穴または溝に、請求項1記載の薄膜回路製造方法による電気めつきによって、金属を充填し、請求項2記載の薄膜回路製造方法による電解エッチングによって、不要な金属を除去して、前記誘電体表面と前記充填された金属の表面とが同一平面で、平坦に形成されたことを特徴とする薄膜回路基板。

【請求項9】 誘電体膜の形成工程、該誘電体膜の微細加工工程および請求項7記載の薄膜回路製造方法を繰り返すことにより形成される薄膜多層回路基板であって、前記充填された金属がビアを成し、このビアが垂直方向に、多層に渡って、直結した配線を構成するこ

とを特徴とする薄膜多層回路基板。

【請求項10】 請求項9記載の薄膜多層回路基板に、微小半田ボールを介して、集積回路を接合して形成される電子回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電流反転電解法による薄膜回路製造方法ならびにそれを用いた薄膜回路基板、薄膜多層回路基板および電子回路装置に係り、薄膜上のビアおよび溝などを平坦に加工するのに好適な薄膜回路製造方法であって、特に、年々高密度化と高速化の一途をたどるLSI実装用多層回路基板およびその電子回路装置に用いられる製造プロセスに関する。

【0002】

【従来の技術】 従来、LSIデバイスの処理能力の高度化にともない、LSIは多ピン化し、また、信号の立ち上がり立ち下がり速度がますます速くなって、信号伝送回路に高速性能が要求されてきた。これらの要求に答えるため、特に、大型コンピュータやスーパーコンピュータに代表される超高速システムにおいては、シングルチップパッケージをプリント板に実装する形態を脱却し、セラミック金属導体からなる多層同時焼結基板を実装基板に用いたマルチチップ実装が主流となった（例えば、日経マイクロデバイス、1990年11月号、p.145）。

【0003】 今後さらに、実装回路基板の性能を上げる手段としては、層間絶縁材料を誘電率の低い有機樹脂とし、配線導体を電導度の高い銅とし、また配線密度を増大させるために配線パターン形成を高精度のフォトリソグラフィとするなどの方法が検討されてきた。さらに、配線を高密度化するためには、回路の多層化が必須であり、かつ配線密度の増大と配線抵抗の低減とを両立させようとすると配線断面の高アスペクト比化が必要となる。

【0004】 このような、銅と有機樹脂とからなる薄膜多層回路基板を形成する方法として既に多くの提案がなされてきている。

【0005】 ところで、薄膜多層回路の形態を特徴付ける重要要素の一つとして、上下層間の接続を受け持つビアの形状およびその形成方法が挙げられる。すなわち、ビアの形状およびその形成方法は、層間接続信頼性や実装密度に最も大きい影響を与えるとと言っても過言ではない。

【0006】 以下では、このビアの形状について、図8を用いて説明する。図8は、ビアを有する薄膜多層回路基板の断面図を対比して示したものである。

【0007】 図8に示される様に、ビアの形状には、大きく分けて2種類ある。第一は、図8(a)に示すもので、ビアの形が上面において平坦になっていないものである。

【0008】 これを以下、「非平坦化ビア」と呼ぶこと

とする。この場合には、ビア穴の中が導体で完全には充填されていないため、ビア形成直後の状態には、表面にそのための凹みが残る。この凹みは、その上の層を形成する際に、有機樹脂によってある程度充填されて多少平坦になるが、この平坦化は一般に完全ではなく、このことが一連の薄膜工程に種々の影響を与え、回路基板設計上の制約となる。

【0009】例えば、この凹みのために、ビアを同一箇所垂直方向に連続して形成することは不可能である。このため、非平坦化ビアを用いる場合には、層毎に形成位置を少なくともビア直径以上ずらしてビアを形成する必要がある、結果として基板全体でビアの占める実効面積が大きくなり、実装密度向上のネックとなる。また、上記凹みは、この上に上部薄膜層を積み上げる工程で、ホトレジスト現像残りや配線加工の際のエッチング残りなどの原因ともなり、歩留低下要因となる。

【0010】この非平坦化ビアの例としては、IEEE International Electronic Manufacturing Technology Symposium pp.177-183(1987) [例1] が挙げられる。ここでは層間絶縁膜に感光性ポリイミドを用い、配線導体に電気銅めっき膜を用いて、逐次積層プロセスにより薄膜多層基板の形成をおこなっている。この方法では、層間を接続するビアの形状は、図8(a)に示した通りであるため、今後要求される実装密度の大幅な向上は困難である。

【0011】一方、第二のビア形状は、図8(b)に示す通りであり、ビア穴を絶縁層表面と同一平面まで配線導体で完全に充填したものである。これを、「平坦化ビア」と呼ぶことにする。この場合には、同一箇所の垂直連結ビアも可能となり、実装密度向上に最も適した構造と言える。また、表面凹凸による薄膜工程への影響がなく、歩留低下の懸念がないことも利点である。したがって、実装密度向上と歩留まり向上の観点からすれば、上記の非平坦化ビアではなく、この平坦化ビアの方が望ましい。

【0012】この平坦化ビアの例としては、Proceedings of 1989 International Electronic Packaging Symposium pp.248-270(1989) [例2] や、Proceedings of 41st Electronic Components & Technology Conference p.689-692(1991) [例3]、特開平5-218645号公報記載の技術 [例4] などが挙げられる。

【0013】

【発明が解決しようとする課題】既に述べた通り、実装密度向上と歩留まり向上の観点からすれば、薄膜多層回路基板には、平坦化ビアを用いる方が望ましい。上記従来技術の例2～例4は、この平坦化ビアに関して述べたものである。しかしながら、これらの従来技術は、以下の点で問題がある。

【0014】例2では、層間絶縁膜にポリイミドを用い、ビア加工を酸素プラズマによるドライエッチングで

おこなっている。次いで、ビア底に現れた下層配線の表面から、無電解ニッケルめっきによってビア導体を成長させ、ポリイミドの表面で面一の状態でめっきを止め、図8(b)の状態とするものである。この場合、最終的にビアニッケル表面全面を均一の高さにかつ無欠陥で形成できることが、最も重要な要件となる。しかし、無電解めっきは、めっき成長表面の電位の影響を受けやすく、ビア底の下地配線の電気的な環境の相違(例えば、電氣的に孤立しているか、あるいは互いに電氣的に接続されているか等)によって、めっき析出速度が異なることがよくあり、面内に無数に存在する微細ビアのすべてに無欠陥で導体を充填することは、なかなか難しいという問題点があった。

【0015】一方、例3では、層間絶縁膜に、やはりポリイミドを用い、ビア加工は、エキシマレーザによるアブレーションでおこなっている。次いで、基板全面に導体材料である銅を蒸着しビアの中を完全に充填する。この際、ビアの周りのポリイミド膜の上にも同じ膜厚の銅が付着している。このポリイミド上の銅は不要なので、化学機械研磨(CMP=chemical mechanical polish)により全面除去し、ポリイミドの表面に達した時点で研磨を止めている。その結果、図8(b)の形状を得ている。ところが、このプロセスでは、図8(b)の形状が確実に形成できるという利点がある反面、化学機械研磨工程がコスト高になるという欠点があり、また、薄膜回路層の層数が増えた場合には、基板の反りが無視できないレベルに達して、研磨装置の研磨板等がこの基板反りに追従出来ず、面内で部分的にポリイミド上の銅残りを発生し、配線ショートの原因となる懸念があるという問題点があった。

【0016】さらに、例4では、有機樹脂および銅配線からなる薄膜多層配線基板を形成するに当り、まずビア加工後の薄膜表面の全面に電気めっきの下地層として、Cr/Cu(下地層がCr, Cuの2層からなることを示す。以下の表記も同じ)積層膜をスパッタ成膜し、全面に電気銅めっきを施してビアを充填し、表面を平坦化する。次いで、この電気銅めっき膜にウェットエッチングを施し、配線厚分だけ残して余分の銅を除去するものである。しかし、この方法では、ビア部の凹みを完全に平坦化するに至らず、また配線段差分は残留するため、垂直連結ビアの形成や、多層化できる層数の点で限界の発生する懸念があるという問題点があった。

【0017】そこで、将来の高密度薄膜回路基板を実現するためには、安価にかつ確実な方法で、平坦化ビアを形成し、かつ容易に多層化できるような微細薄膜回路形成プロセスの確立が望まれていた。

【0018】本発明は、上記従来技術の問題点を解決するためになされたもので、その目的は、高密度薄膜多層回路基板の製造プロセスにおいて、パターン化された穴や溝をもつ誘電体表面に対して全的に金属化処理を施

すにあたり、最終的に、その穴や溝の中にだけ隙間なく金属導体を充填し、かつ、従来技術より高い精度で、その導体の表面を均一にし、前記誘電体表面を含む同一表面とする方法を与えることにある。そして、薄膜多層回路を構成する各層毎に、表面の完全な平坦化を実現し、薄膜回路の多層化をより容易にし、歩留まりを高く保ちつつ、実装密度を大幅に向上させることにある。

【0019】

【課題を解決するための手段】上記目的を達成するために、本発明に係る薄膜回路製造方法の第一の構成は、電解システムを有し、薄膜回路基板を一方の電極として、薄膜回路を電解により加工する薄膜回路製造方法において、カソード電析とアノード溶解を交互におこなう電流反転電解法により、前記薄膜回路の誘電体表面に、電気めっきを施すようにしたものである。

【0020】また、上記目的を達成するために、本発明に係る薄膜回路製造方法の第二の構成は、電解システムを有し、薄膜回路基板を一方の電極として、薄膜回路を電解により加工する薄膜回路製造方法において、カソード電析とアノード溶解を交互におこなう電流反転電解法により、前記薄膜回路の誘電体表面の金属膜に、電解エッチングまたは電解研磨を施すようにしたものである。

【0021】また詳しくは、上記薄膜回路製造方法の第一と第二の構成において、前記電流反転電解法に用いられる電流が、パルス波形を有するようにしたものである。

【0022】さらに詳しくは、上記パルス波形の電流を用いる前記電流反転電解法において、前記カソード電析をおこなっている時間と前記アノード溶解をおこなっている時間との間に、前記電解システムが電流を流さない休止時間を設けたようにしたものである。

【0023】別に詳しくは、上記薄膜回路製造方法の第一と第二の構成において、前記電流反転電解法に用いられる電流が、非対称サイン波形を有するようにしたものである。

【0024】また電流条件から言えば、前記電流反転電解法に用いられる電流において、周波数が、1Hzないし1MHz、実効電流値が、 $\pm 0.1 \text{ A/dm}^2$ ないし $\pm 10 \text{ A/dm}^2$ （複号同順）であるようにしたものである。

【0025】より具体的に表現すると、パターン化された穴または溝を有する誘電体を含む薄膜回路基板において、その穴または溝に、上記第一の構成を有する薄膜回路製造方法による電気めっきによって、金属を充填し、上記第二の構成を有する薄膜回路製造方法による電解エッチングによって、不要な金属を除去して、前記誘電体表面と前記充填された金属の表面とが同一平面で、平坦に形成するようにしたものである。

【0026】また、本発明に係る薄膜回路基板の構成は、パターン化された穴または溝を有する誘電体を含む

薄膜回路基板において、その穴または溝に、請求項1記載の薄膜回路製造方法による電気めっきによって、金属を充填し、請求項2記載の薄膜回路製造方法による電解エッチングによって、不要な金属を除去して、前記誘電体表面と前記充填された金属の表面とが同一平面で、平坦に形成されるようにしたものである。

【0027】また、本発明に係る薄膜回路基板の構成は、誘電体膜の形成工程、該誘電体膜の微細加工工程および上記誘電体の穴または溝の金属加工する薄膜回路製造方法を繰り返しおこなうことにより形成される薄膜多層回路基板であって、前記充填された金属がビアを成し、このビアが垂直方向に、多層に渡って、直結した配線を構成するようにしたものである。

【0028】さらに、本発明に係る電子回路装置の構成は、上記薄膜多層回路基板に、微小半田ボールを介して、集積回路を接合して形成されるようにしたものである。

【0029】

【作用】微細穴や溝パターンを持つ基板表面を電気分解により加工するにあたり、カソード電析とアノード溶解を交互におこなう電流反転電解法を用いることにより、第一段階の電気めっき過程では、電極となる基板の表面上にある拡散層は、直流電流による電解に比べて、薄くなる。その結果、カソード電析の間、基板の表面上の凹凸によらず、基板の表面に付着するめっき膜層は、直流電流による電解をおこなったときに比べて、平坦かつ均一に形成することができる。アノード溶解の間、基板の表面に付着した金属の突出部から、優先的に金属の溶解が起こるため、さらにめっき膜の均一性が増すことになる。また、カソード電析とアノード溶解をおこなう間に電流を流さない休止時間を入れることにより、この拡散層は、さらに薄くなり、よりめっき膜の均一性が増すという作用がある。

【0030】第二の段階として、電流反転電解法による電解エッチングをおこなうことにより、誘電体の表面の不要な金属が除去され、穴や溝の析出した金属と誘電体の表面が平坦な同一平面を成すように作用する。

【0031】また、第一の段階の電気めっきと第二の段階の電解エッチングの工程を繰り返すことにより、めっき膜層の均一性の精度が向上するという作用がある。

【0032】さらに、平坦化ビアに、この方法を適用して、ビア表面の均一性を向上させれば、薄膜多層回路基板を形成したときに、平坦化ビアを垂直に重ねた構造が、より信頼性高く製造することが可能になり、実装密度の向上につながるという作用がある。

【0033】

【実施例】以下、本発明に係る各実施例を、図1ないし図7を用いて説明する。

【本発明を実施するための電解システム構成】先ず、図1を用いて本発明を実施するための電解システム構成を

説明しよう。図1は、本発明に係る電気分解を実施するための電解システム構成を模式的に示した図である。

【0034】電解システムの構成は、制御用パーソナルコンピュータ511、任意信号波形発生装置512、定電流定電圧パルス電源513、および電解槽514からなる。そして、電解槽514には、電解液515が満たされ、その中には相対向する形で、基板ホルダおよび基板516と対向電極517が存在する。

【0035】定電流定電圧パルス電源513は、電解槽514の中の相対向する電極に電圧を印加する。電圧が印加されると、負電極とするか正電極とするかによって、基板ホルダおよび基板516に、電解液515中の金属が析出して、その表面がめっきされるか、電解液515中へ金属が溶解して、その表面がエッチングされる。

【0036】任意信号波形発生装置512は、所望の電流波形を発生させるもので、発生された電流波形は、定電流定電圧パルス電源513に入力される。

【0037】制御用パーソナルコンピュータ511は、読み込ませたプログラムにより、波形を決定するパラメータを入力させ、これによって任意信号波形発生装置512を駆動して所望の電流波形を発生させるものである。

【0038】〔電流反転電解法〕次に、本発明に係る電流反転電解法について、図2ないし図4を用いて説明しよう。図2は、本実施例に係る電流反転電解法の電流密度と時間の関係をグラフにして示した図である。図3は、電解槽の中とその金属濃度の関係を対比して示した模式図である。図4は、直流電流とパルス電流によりめっきしたときに、基板上の表面がどのように変化するかを対比して示した図である。

【0039】この電流反転電解法は、微細穴や溝のパターンを形成した基板の表面に電気めっきの下地層を形成し、まずカソード電析を主に起こさせる波形による電解を行って、全面に均一かつ平坦なめっき膜を形成する。しかるのちに、アノード溶解を主に起こさせる波形による電解を行って全面均一にめっき膜をエッチングして、微細穴や溝の中にのみ導体金属を平坦に埋め込む技術である。

【0040】以下、詳細に説明しよう。反転パルス波形の代表的なものは、図2の(a)～(c)に示されている。もちろん、これら以外の波形も使用することができるし、これら(a)～(c)の波形を適宜組み合わせ、使用することも可能である。

【0041】まず、電解に使用される電流とカソード電析とアノード溶解の関係について説明する。図2において、マイナス側の電流 i_c は、カソード電流であり、この電流が流れているときは、基板ホルダおよび基板516に、カソード電析現象(めっき膜析出)が引き起こされる。

【0042】一方、プラス側の電流 i_a はアノード電流であり、基板ホルダおよび基板516に、アノード溶解現象(めっき膜溶解)が引き起こされる。すなわち、本発明に係る電流反転電解法では、カソード電流が流れている T_c (カソード電流パルス幅)の間は、基板表面でめっき膜析出が進行し、アノード電流が流れている T_a (アノード電流パルス幅)の間は、基板表面でめっき膜の溶解が進行する。

【0043】図2(a)は、上記のカソード電流とアノード電流をパルス状に交互に流して、めっき膜析出とめっき膜溶解を交互におこなったものである。また、図2(b)の波形は、図2(a)の反転パルス波形において、カソード電流パルスおよびカソード電流パルスの後にそれぞれ一定の休止時間(電流ゼロの期間) T_1 、 T_2 を入れたものである。

【0044】これは、休止時間を導入することにより、電析金属の結晶化、拡散層の濃度回復、めっき液中添加剤の吸脱着平衡などを促進し、めっき膜質に影響を与えようとするものである。

【0045】さらに、図2(c)は、非対称サイン波(交流直流重畳波)であり、電流立上り、立下りが緩やかであることが、上記図2(a)、(b)のパルス状波形のときには起こらないような影響が上記のカソード電析過程とアノード溶解過程において現れ、めっき膜の性質が異なることになる。

【0046】次に、第一の段階として、これらの電流波形を用いて、電気めっきをおこなう場合の現象について、図2に加えて、図3および図4を用いて詳細に説明する。

【0047】図2(a)、図2(b)、図2(c)の波形では、何れもミクロには電析と溶解の繰り返しが起こっているが、実効電流値 $[i_e=(i_cT_c-i_aT_a)/(T_c+T_a)]$ は、マイナス、すなわちカソード電流の方になっており、結果として、めっき膜析出に寄与する電流の方が大きく、トータルの反応としては、めっき膜析出がおこることになる。しかしながら、実際の電極表面で起こる現象は、従来の直流めっきの場合と大きく異なる。

【0048】このことを示すために、まず、「バルクめっき液」と「拡散層」の概念について説明する。めっき液中の金属イオン濃度は、どの場所でも均一というわけではない。特に、めっき液に接した固体の表面近くでは、その固体表面の極性やぬれ性などの影響を受けて、めっき液の成分の濃度が、固体表面から離れて、その影響を受けない部分(この部分を、「バルクめっき液」という)とは異なる。

【0049】特に、電析過程においては、電析の起きている表面(電析表面)に接した電解液の中の金属イオンが、電析表面側に定常的に奪われるために、電析表面近傍の液中の金属イオン濃度は、めっき液バルク層の金属イオン濃度よりも、かなり低くなる。この金属イオン

濃度が低い領域を「拡散層」という。

【0050】図3(a)は、電気分解により、めっきをおこなう場合の電解槽を模式的に示したものであり、図3(b)は、めっきされる側の電極からの距離と金属イオン濃度の関係を示したものである。

【0051】さて、図2(a)の場合のようなパルス電流による電気分解をおこなったときには、短時間のカソード電流パルス i_c が流れている間 T_c だけ、金属が析出し、電極の表面がめっきされる。すなわち、この T_c の間に、電場によって溶液中から電析表面側に引き寄せられて、電析表面にたどりつけた金属イオンだけが電子を受け取って析出するのである。

【0052】これに伴って、電析表面側のめっき液中の金属イオンの濃度が下がり、上述の拡散層が生成される。ところが、パルス電流の場合は、定常的に電極に電子が供給される定常電流による電析に比べて、この拡散層が薄くなる。

【0053】さらに、図2(b)のようにパルスの休止時間を設けた場合には、休止時間の間は、この金属イオンが電極に引き付けられるということがないため、金属イオンのランダムな熱拡散運動によって、拡散層の金属イオン濃度が回復する。このような拡散層の金属イオン濃度回復現象も拡散層を薄くする結果になる。

【0054】ところで、基板表面上は、図4に示されるように、微小な凹凸を有する。凹凸のある基板表面に、直流電流で電解して、めっきする場合、図4(a)に示されるように、凹部の方が凸部よりも金属イオンの拡散供給が遅れるため、凹部の拡散層は、凸部の拡散層よりも厚くなる。このため、凹部の方が凸部よりもめっき膜厚が薄くなる傾向があり、膜厚が均一にならない原因となる。ところが、図2(a)、(b)で示されるようなパルス電流で電解して、めっきする場合には、図4

(b)に示されるように、拡散層の厚さが薄くかつ場所によらずほぼ均一になるので、めっき膜厚も均一になるのである。

【0055】上述の様に、図2(a)～(c)のカソード電流パルス i_c が流れている間 T_c だけ、金属が析出する。

【0056】次のアノード電流パルス i_a が流れている間 T_a は、一度析出した金属が溶解して拡散層の濃度回復を促進する。このときに、めっき膜表面の突出している部分は、電界が集中しているため優先的に溶出する。この結果、めっき膜表面が平滑化されることになる。したがって、図2に示される電流反転電解法を用いるめっきによれば、凹凸、特に穴や溝などの凹みのある誘電体表面に対して、全面に均一な膜厚でめっき膜を形成し、かつその凹みを完全に充填して、最終的に全面平坦な金属表面を得ることができるのである。

【0057】細かい実験条件の相違を除けば、以上の挙動は、図2のいずれの電流波形を用いた場合にも同様な

ので、すべて同様の効果を得ることができる。

【0058】次に、第二の段階として、これらの電流波形を用いて、電解エッチングをおこなう場合の現象について、図2を用いて詳細に説明する。

【0059】第一の段階の電気めっきが終わった段階では、金属導体を残したい穴や溝の中だけでなく、その周囲の誘電体の上にも金属導体が形成されているので、この部分の金属導体を選択的に除去する必要がある。そのための方法が、以下に述べる電解エッチングである。

【0060】すなわち、上記のように全面均一かつ平坦にめっきされた表面を平坦性および平滑性を維持しつつ、誘電体表面まで不要な金属を溶解除去するには、図2(a)、図2(b)、図2(c)に示した電流波形から決まる $i_c T_c$ 、 $i_a T_a$ の大小関係を逆転させ、実効電流値 i_e をプラス側、すなわちアノード電流の方にして、電流反転電解法による電解エッチングをおこなえば良い。つまり、溶解と電析を交互にパルスのに行うことは同じだが、今回は溶解を電析よりも多めにすることで、トータルとしては溶解(エッチング)を優先的におこなうわけである。この方法で、第一の段階である電析過程により形成された平坦なめっき表面を均一かつ平坦にエッチングし、基板表面の微細穴や溝の中だけに導体を充填した平坦な薄膜導体回路パターンを形成できる。

【0061】ここで、電流波形条件としては、周波数 1Hz 、実効電析電流値 $0.1 - 10\text{A}/\text{dm}^2$ の範囲が望ましい。というのも、周波数が 1Hz より低いと、直流電解とあまり差がなくなり、本方法の利点が発揮されないからである。また、周波数が 1MHz より高いと、めっき液中の金属イオンの反応が追従できず、めっきが起らない。さらに、実効電析電流値が $0.1\text{A}/\text{dm}^2$ 以下では、工程時間が長すぎて非実用的になり、 $10\text{A}/\text{dm}^2$ 以上では水素が同時発生しやすくなり欠陥が発生しやすくなることなどが問題となるからである。

【0062】なお、上記の2つの工程、すなわちめっき工程と電解エッチング工程は同一めっき浴の中で連続しておこなっても良く、また液組成の異なる別々の処理液の中でおこなっても良い。

【0063】[具体的なプロセス条件とその製造工程の詳細]

【実施例1～3】以下、本発明に係る実施例の具体的なプロセス条件とその製造工程の詳細について、図5を用いて説明する。図5は、基板の断面図を、本発明に係る一実施例の製造方法の工程ごとに示したものである。

【0064】この実施例1～3は、誘電体表面の微細穴や微細溝パターンに対して、最終的にその穴や溝の中だけに導体材料を埋め込みかつ平坦な薄膜回路パターンを形成しようとするものである。各実施例のプロセス条件の詳細は、以下の表1に、まとめて示した。

【0065】

【表1】

表 1

工程順	プロセス	実 施 例 1	実 施 例 2	実 施 例 3
図5(a)	基板	ムライト系ガラスセラミック電極膜厚: 1mm	同左	同左
図5(b)	誘電体膜形成	1) 日立化成製ポリイミドPIQ: スピン塗布、熱硬化(フルキュア) 2) 膜厚: 20 μ m	同左	1) 日立化成製光性ポリイミドPL-2035 スピン塗布、プリバーク
図5(c)	誘電体膜パターン加工	Al膜をマスクパターンとするドライエッチング: 1) 加工条件: 平行平面RIE装置 O ₂ RIE, O ₂ ガス圧=10mmTorr 2) 加工寸法: ピア最小径=5 μ m 溝最小幅=5 μ m 3) Alマスク除去: 蒸気アルミニウムエッチャント	Al膜をマスクパターンとするレーザーアブレーション: 1) 加工条件: KRFエキシマレーザー 波長=308nm, エネルギー密度=0.8J/cm ² 2) 加工寸法: ピア最小径=5 μ m 溝最小幅=5 μ m 3) Alマスク除去: 蒸気アルミニウムエッチャント	1) 露光: 1:1プロジェクションアライナ使用 2) 現像: パドル方式 3) 銅酸化: フルキュア(最終膜厚=10 μ m) 4) 加工寸法: ピア最小径=10 μ m 溝最小幅=10 μ m
図5(d)	電気めっき下地膜形成	スパッタ成膜: 成膜直前にスパッタエッチ。 Cr(500Å)/Cu(500Å)	同左	同左
図5(e)	電気めっき(電流反転電解法)	1) めっき浴: 酸性硫酸銅めっき CuSO ₄ ・5H ₂ O: 50g/L H ₂ SO ₄ : 200g/L 光沢剤: 少々 2) 電解条件: 周波数=1.5kHz $i_a = -2.0A/cm^2$ 誘電体上Cu膜厚=10 μ m	1) めっき浴: 酸性硫酸銅めっき CuSO ₄ ・5H ₂ O: 50g/L H ₂ SO ₄ : 200g/L 光沢剤: 少々 2) 電解条件: 周波数=1.0kHz $i_a = -3.0A/cm^2$ 誘電体上Cu膜厚=10 μ m	同左
図5(f)	電解エッチング(電流反転電解法)	1) 処理浴: 上記めっき浴を濃縮使用 2) 電解条件: 周波数=1.5kHz $i_a = +0.5A/cm^2$	1) 処理浴: 上記めっき浴を濃縮使用 2) 電解条件: 周波数=1.0kHz $i_a = +0.5A/cm^2$	同左
図5(g)	パターン分離	1) O ₂ エッチング: アルカリ性フエリシアン化カリウム溶液	同左	

【0066】以下、製造工程を追って説明しよう。先ず、セラミック基板もしくはガラス基板または有機樹脂製基板21の上に有機樹脂からなる誘電体膜22を成膜した(図5(a)、(b))。有機樹脂膜としては、ポリイミド膜、エポキシ樹脂膜、その他の耐熱樹脂膜等が使える。成膜方法としては、該樹脂のワニスをスピンコーティング、印刷、スプレーなどにより塗布して乾燥および熱硬化する方法でも良く、また該樹脂のフィルムを熱圧着する方法でも良い。なお、この誘電体膜の材料として、それ自体が感光性を持つ感光性ポリイミドや感光性エポキシ樹脂を用いても良い。

* 【0067】次に、誘電体膜22に微細穴や溝のパターン加工を施す(図5(c))。加工方法としては、材料が非感光性の有機樹脂膜の場合には、メタルマスクを用いたドライエッチングや紫外光レーザによるレーザアブレーションなどを使用することができる。また、感光性ポリイミドや感光性エポキシ樹脂などの感光性樹脂を用いた場合には、樹脂膜のパターンをホトリソ工程により直接形成することが可能である。有機樹脂膜の加工後の状態を示した図5(c)では、穴や溝が垂直断面を有している場合を示している。しかしながら、加工方法がドライエッチングやレーザアブレーションの場合には、図

5 (c) のように側壁がほぼ垂直になるが、誘電体膜に感光性樹脂を用いた場合には、側壁が順テーパ形状となる。

【0068】次の工程では、電気めっきの際の給電層に用いる下地層を形成する(図5 (d))。この下地層を形成方法としては、連続蒸着により、Cr/CuあるいはTi/Cuの積層膜を形成する方法や無電解めっきによりCu膜を形成する方法などが挙げられる。ここで、Cr、Tiは、下地誘電体膜との密着層の役割を果たし、Cuは、給電層の役割を果たす。

【0069】上記の連続蒸着法としては、EB蒸着やスパッタリングが使えるが、密着力の観点からは、スパッタリングが優れる。特に、面内に存在する無数のビア全てのコンタクト抵抗を確実に低減し、コンタクト不良を皆無とするためには、成膜前のスパッタエッチ工程によるビア穴底のクリーニングが必須である。従って、スパッタ装置としては、スパッタエッチ機構を持つ装置が必要であり、成膜直前に装置真空室内でスパッタエッチを実行し、そのまま連続して成膜に入るのが良い。

【0070】なお、密着層であるCr、Tiの膜厚は、300-1500Å程度が望ましく、給電層に用いるCuの膜厚は、1000-10000Å程度が望ましい。

【0071】次の工程で、上述の電流反転電解法による平坦化めっきおよび平坦化電解エッチングをおこなう(図5 (e)、(f))。電解液としては、酸性硫酸銅めっき液を用いることができ、電解反応槽としては、テフロン、硬質塩化ビニルなどプラスチック槽を用いることができる。

【0072】電解システムの構成は、前項の「本発明を実施するための電解システム構成」で述べた通りにすれば実現できる。

【0073】電流波形条件としては、既に述べたように、電気めっきモード、電解エッチングモードいずれの場合にも、周波数は1Hz-1MHzの範囲、実効電流値の絶対値は0.1-10A/dm²の範囲であることが望ましく、この範囲から最適条件を選定すれば良い。本実施例では、電気銅めっき膜のアノード溶解が終了すると、図5 (f) の状態となり、電気めっき下地膜23が露出する。この際、電気めっき下地膜23としてCr/CuやTi/Cuを用いた場合には、Cuは、電気めっき銅と一緒にエッチングされるので、図5 (f) に示される電気めっき下地膜23には、CrやTiが露出した状態で残る。酸性硫酸銅めっき液は強酸性であるため、Cr、Tiなども若干エッチングされるが、エッチングが進行するとパターンが不連続となって必ずエッチング残りが発生する。従って、穴、溝パターンを周囲の平面と確実に分離するために、最後の段階で、Cr、Tiを選択的に溶解し、Cuを溶解しない選択的化学エッチングを施すことが望ましい。

【0074】なお、工程合理化の観点からは、電気めつ

きと電解エッチングを同一の電解槽の中で連続して実行することが望ましいが、これらを別々の電解槽で、異なる電解液を用いて実行しても良い。

【0075】また、例えば、電解エッチングの工程を電解研磨に置き換えても良い。電解研磨条件としては、例えば、63%りん酸を用い、電流密度10-60mA/cm²の範囲で電解研磨を行えば良い。

【0076】以上の一連の工程により、図5 (g) の構造を形成できる。すなわち、微細穴、微細溝パターンを持つ誘電体表面の、該穴および溝の中にだけ銅めっき導体を充填し、かつ平坦な表面を持つ薄膜回路パターンを形成できた。ここで、該薄膜パターン表面の平坦性の目安であるビア部の段差(図5 (g) の誘電体膜22と電気めっき導体25の段差)は、ビア高さが20μmの場合に平均値で0.4μm程度、最大値で1.1μmで実現できる。この値は、このプロセスにより薄膜多層回路基板を形成するのに十分のレベルである。

【0077】〔実施例4〕以下、本発明に係る他の実施例を、図6を用いて説明する。図6は、基板の断面図を、本発明に係る他の実施例の製造方法の工程ごとに示したものである。

【0078】この実施例4は、上記薄膜回路形成プロセスを利用して、薄膜多層回路基板を製造する方法に係るものである。

【0079】以下、製造工程を追って説明しよう。

【0080】多層セラミック基板331は、導体金属配線とセラミック材料の同時焼結によって形成される。多層セラミック基板としては、ムライトタングステン同時焼結基板やガラスセラミック-銅同時焼結基板などを使用することができる。多層セラミック基板表面は、反りやセラミック粒子に起因する凹凸のためそのままでは後続する薄膜工程には使えない。そこで、基板表面を、ラッピングおよびポリッシングにより加工し、反り量5μm以下、表面粗度Ra0.1μm以下の状態とした。まずこの表面に、整合パッド313を形成する(図6 (a))。整合パッドとは、セラミック基板の焼結収縮率ばらつきによるパターンの位置ずれを吸収して、薄膜配線への接続を確保するために設ける薄膜電極である。整合パッド313の形成には、スパッタリングにより成膜したCr(1000Å)/Cu(5μm)/Cr(500Å)の構成の多層膜を用い、これをホトリエッチングにより所定形状に加工して得る。

【0081】次に、この多層セラミック基板331と整合パッド313の上面に、第1層目となる有機樹脂絶縁膜314を形成する(図6 (b))。材料としては、ポリイミド、エポキシ樹脂、感光性ポリイミド、感光性エポキシ樹脂などを使用することができる。ポリイミドやエポキシ樹脂を用いた場合は、実施例1-3に述べたように、次のビア加工(図6 (c))では、メタルマスクを用いたドライエッチングまたは紫外線レーザによるレー

ザアブレーションを実行する。

【0082】ところで、感光性ポリイミドや感光性エポキシ樹脂などの感光性のある有機樹脂絶縁膜を用いた場合には、その膜自体をホトリソグラフィにより、直接露光してパターン加工できる。これは、感光性のない有機樹脂絶縁膜を用いた場合、パターンを形成するためには、ホトレジストの形成、ホトレジストのパターンニング、エッチング、ホトレジストの剥離という複雑な工程を経なければならないのに比べて、工程簡略化の点で有利である。

【0083】ここでは、日立化成（株）製感光性ポリイミドPL-2035を用いた例を述べることにする。PL-2035ワニスをスピン塗布し、プリベーク後、膜厚 $20\mu\text{m}$ の塗膜を得ることができる。これを所定条件でパターン露光および現像し、さらに熱風乾燥炉で最終熱硬化までおこないビア形成が完了する。熱硬化後の樹脂膜厚は、 $10\mu\text{m}$ で、最小ビア寸法は $10\mu\text{m}$ を達成できる。

【0084】引き続き、第2層目となる有機樹脂絶縁膜316の形成を、第1層目と同様に実行する（図6（d））。ここでは、感光性ポリイミドに配線溝加工を実行するが、第1層目のビア部分で膜厚が厚くなるため、そこが現像されにくい傾向がある。そこで、現像条件を強化するため、パドル現像の繰り返しあるいは超音波現像を採用し、現像残りが発生しない条件を確立した。ここまでで、有機樹脂絶縁膜の表面にビアおよび配線が一体となった形の凹パターンが形成されることになる。

【0085】次いで、電気めっき下地膜として、Cr（ 500\AA ）／Cu（ 5000\AA ）積層膜をスパッタ成膜する（図6（e））。

【0086】次に、この下地金属膜に対して、電流反転電解法により平坦化めっきをおこなう（図6（f））。めっき液としては、硫酸銅めっき液を用い、電解システムは、実施例1～3と同じものを用いる。電解条件としては、周波数を1Hz～1MHzの範囲から選択し、実効電流値 i を $-1\sim-10\text{A}/\text{dm}^2$ の範囲から選択して、電気めっきを行い、図6（f）のように表面の平坦な銅めっき膜を形成する。

【0087】そして、引き続き、同じ電解液の中で、電流反転電解法による平坦化電解エッチングを実行する。この際、周波数としては1Hz～1MHzの範囲から選択し、実効電流値 i を $0.1\sim10\text{A}/\text{dm}^2$ の範囲から選択する。

【0088】さらに、電解エッチング工程で、表面に残っためっき下地膜の密着層であるCrを、選択エッチング液、例えばアルカリ性フェリシアン化カリウム溶液により除去し、図6（g）の状態を得ることができる。すなわち、このようにして、有機樹脂絶縁膜の中に形成されたビアおよび配線溝のパターンに導体の銅が隙間なく充填され、かつ表面が平坦な薄膜配線回路が形成できるのである。

【0089】この上に、さらに、図6（h）のように有機樹脂絶縁膜パターンを形成し、その後、図6（c）から図6（g）までの工程を必要回数（配線層数だけ）繰り返すことにより、極めて高密度の薄膜多層回路基板を形成できる。

【0090】なお、この有機樹脂絶縁膜320のパターンを形成する際、この有機樹脂絶縁材料がポリイミドワニスや感光性ポリイミドワニスの塗布により形成される場合には、電気めっき銅319の配線の表面にそれぞれのワニス中の樹脂成分であるポリアミック酸と銅との反応生成物が形成される場合がある。この反応生成物は、形成された有機樹脂絶縁膜320のパターン（図6（h））のビア底321に残留してビアコンタクト抵抗増大の原因となる。

【0091】この問題点を解決するため、本実施例においては、図6（h）の段階で以下の反応防止対策を施し、良好なビアコンタクトを得ることができる。

【0092】すなわち、銅-ポリイミド反応防止対策としては、1）酸素プラズマ処理、または2）クロメート処理を施した。

【0093】ここで、酸素プラズマ処理は、パレル形アッシャを用いておこない、処理条件は酸素ガス圧 0.5torr 、RF出力 300W 、処理時間2分とする。酸素プラズマ処理をおこなった場合は、有機絶縁膜ビアの底に酸化銅被膜が残る。そこで、ビア加工後、希硫酸処理（5%硫酸に1-2分浸漬後、水洗）をおこない、酸化銅被膜を除去する。

【0094】一方、クロメート処理は、1-2%重クロム酸カリウム水溶液に室温で1-2分浸漬後、水洗しておこなう。クロメート処理をおこなう場合には、ビア底321のクロメート被膜を除去することが望ましいが、これはアルカリ性フェリシアン化カリウム水溶液処理によりおこなう。

【0095】以上の反応防止対策を導入することにより、ビアコンタクト抵抗値は、 $2\text{m}\Omega/\text{ビア}$ 以下を達成できることになる。

【0096】〔実施例5〕以下、本発明に係るまた他の実施例を、図7を用いて説明する。図7は、本発明の一実施例に係る薄膜多層回路基板およびこの回路基板を用いたLSI実装構造の断面図である。

【0097】この実施例5は、実施例4において実現された高密度の薄膜多層回路基板に集積回路素子（LSI）を搭載した実装構造および電子装置を提供するものである。その形成方法について図7を用いて以下詳細に説明しよう。まず、実施例4において形成された薄膜多層回路基板の最上層に半田接続用電極を形成する。この半田接続用電極は、接続部下層電極418と接続部上層電極419とからなる。ここで、接続部下層電極418は、スパッタリングにより成膜したCr／Cu／Cr積層膜を用い、ホトエッチングにより円形電極に加工する。

【0098】次いで、表層有機樹脂絶縁膜423を形成する。表層有機樹脂絶縁膜423の材料は、非感光性の樹脂でも感光性の樹脂でも良い。これに、接続用の穴加工を施すが、加工方法としては材料に応じて実施例1～3に述べたいずれかの方法を使用することができる。

【0099】ここで、形成された有機樹脂絶縁膜415の穴の側壁は後工程の半田接続における半田ダムの役割を果たす。またこの側壁が接続部下層電極418のエッジより内目に入っているため、半田接続による応力が接続部下層電極418のエッジに集中することを防ぎ、信頼性向上の観点で有利である。

【0100】次に、接続部下層電極418の表面のCr膜を既述の選択エッチング液によって除去し、Cu膜の表面を剥き出しにする。これにパラジウム活性化処理を施した後に、無電解Ni-Bめっきまたは無電解Ni-Pめっきを施す。そして、この表面に置換金めっきを行い、さらに必要な場合には、無電解金めっきにより、0.5～2.5μmの金めっき膜を形成する。

【0101】以上により、表面接続電極を含め、LSI実装用の高密度薄膜多層回路基板が完成した。特に、薄膜多層回路基板は、上述の電流反転電解法による作用として、ビア414の表面が平坦になり、ビア414を垂直に形成しやすくなるため、配線パターンの極めて高密度な実装が可能であることに留意しておこう。

【0102】上記の薄膜多層回路基板の接続電極に微細半田ボール420を供給し、この上に、この接続電極に対向する位置に同様のLSI側接続電極421を持つLSI422を、相互に位置合わせをしながらマウントし、加熱炉を通して半田を熔融させて、両電極間を接続した。このようにして、ピン数の極めて多い、超高集積LSIを信頼度高く実装した電子回路装置を実現した。

【0103】なお、この実装構造は、シングルチップパッケージとしても、またマルチチップパッケージとしても使用することができる。

【0104】

【発明の効果】本発明によれば、高密度薄膜多層回路基板の製造プロセスにおいて、パターン化された穴や溝をもつ誘電体表面に対して全面的に金属化処理を施すにあたり、最終的に、その穴や溝の中にだけ隙間なく金属導体を充填し、かつ、従来技術より高い精度で、その導体の表面を均一にして、前記誘電体表面を含む同一表面とする方法を与えることができる。そして、薄膜多層回路を構成する各層毎に、表面の完全な平坦化を実現し、薄膜回路の多層化をより容易にし、歩留まりを高く保ちつつ、実装密度を大幅に向上させることができる。

【図面の簡単な説明】

【図1】本発明に係る電気分解を実施するための電解システム構成を模式的に示した図である。

【図2】本実施例に係る電流反転電解法の電流密度と時間の関係をグラフにして示した図である。

【図3】電解槽の中とその金属濃度の関係を対比して示した模式図である。

【図4】直流電流とパルス電流によりめっきしたときに、基板上の表面がどのように変化するかを対比して示した図である。

【図5】基板の断面図を、本発明に係る一実施例の製造方法の工程ごとに示したものである。

【図6】基板の断面図を、本発明に係る他の実施例の製造方法の工程ごとに示したものである。

10 【図7】本発明の一実施例に係る薄膜多層回路基板およびこの回路基板を用いてLSI実装構造の断面図である。

【図8】ビアを有する薄膜多層回路基板の断面図を対比して示したものである。

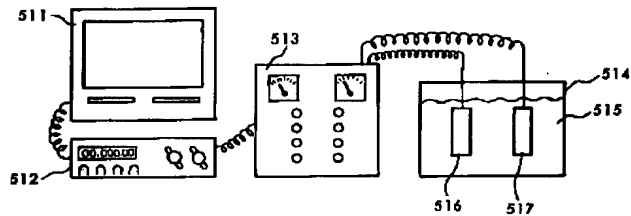
【符号の説明】

- a…有機樹脂絶縁膜
- b…配線導体
- c…電気めっき下地膜
- d…電気めっき配線導体
- 20 e…無電解めっきビア
- i_c…カソード電流
- i_a…アノード電流
- i_e…実効電流
- T_c…カソード電流パルス幅
- T_a…アノード電流パルス幅
- T₁…休止時間
- T₂…休止時間
- 21…基板
- 22…誘電体膜
- 30 23…電気めっき用下地膜
- 24…穴あるいは溝
- 25…電気めっき導体
- 311…セラミック
- 312…厚膜スルホール導体
- 313…整合パッド
- 314…有機樹脂絶縁膜(1)
- 315…ビア穴
- 316…有機樹脂絶縁膜(2) [溝パターン形成後]
- 317…溝パターン
- 40 318…電気めっき下地膜
- 319…電気めっき銅
- 320…有機樹脂絶縁膜(3) [ビア穴パターン形成後]
- 321…ビア底
- 411…厚膜スルホール導体
- 412…セラミック
- 413…整合パッド
- 414…ビア
- 415…有機樹脂絶縁膜
- 416…X方向配線
- 50 417…Y方向配線

418...接続部下層電極
419...接続部上層電極
420...半田

【図1】

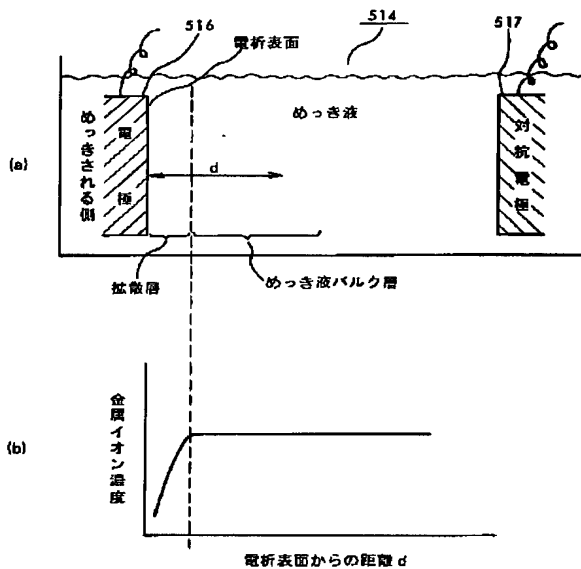
図 1



511...制御用パーソナルコンピュータ
512...任意信号波形発生装置
513...定電流定電圧パルス電源
514...電解槽
515...電解液
516...基板ホルダおよび基板
517...対向電極

【図3】

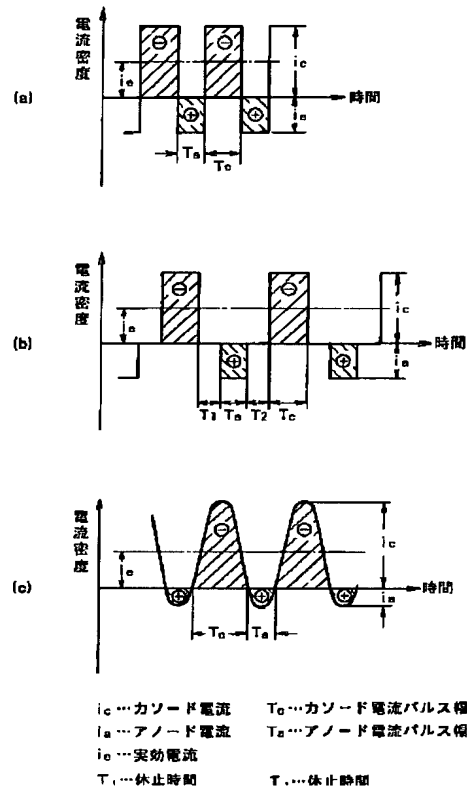
図 3



* 421...LSI側接続電極
422...LSI
* 423...表層有機樹脂絶縁膜

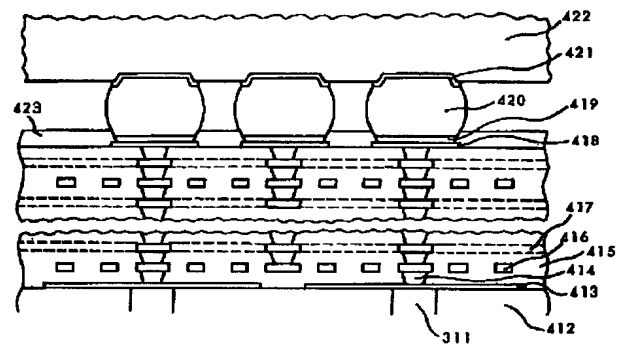
【図2】

図 2



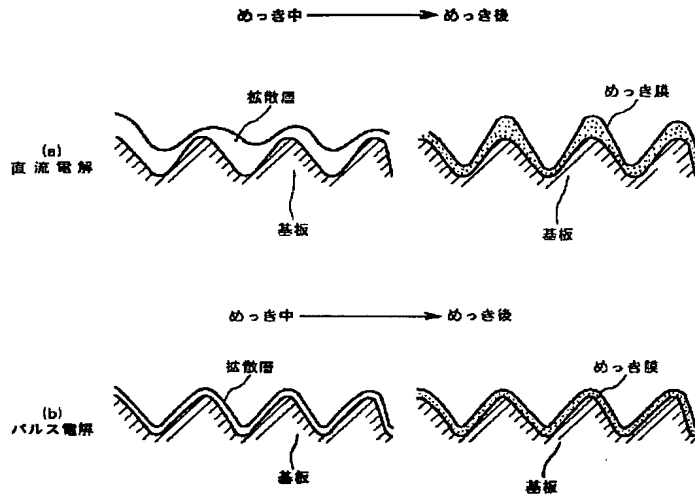
【図7】

図 7

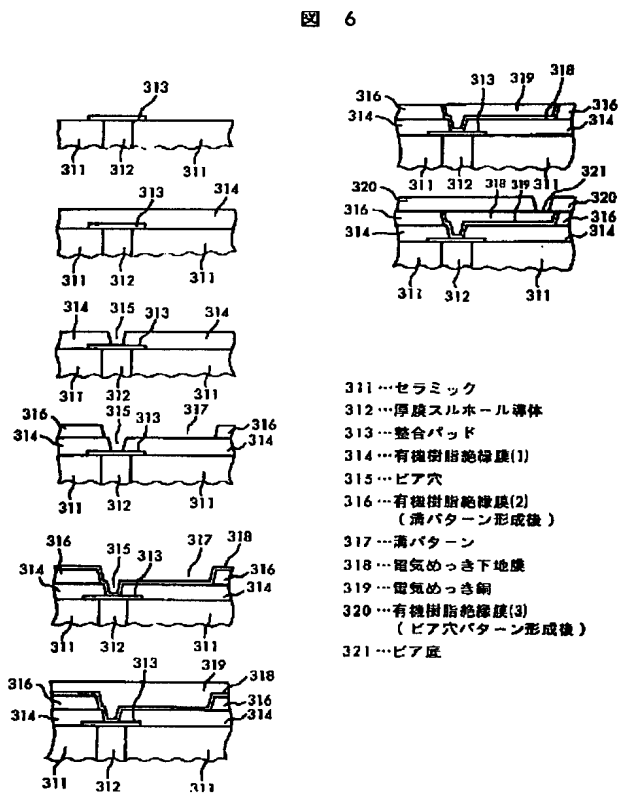


411...厚膜スルホール導体 412...セラミック 413...重合パッド
414...ビア 415...有機樹脂絶縁膜 416...X方向配線
417...Y方向配線 418...接続部下層電極 419...接続部上層電極
420...半田 421...LSI側接続電極 422...LSI
423...表層有機樹脂絶縁膜

【図4】

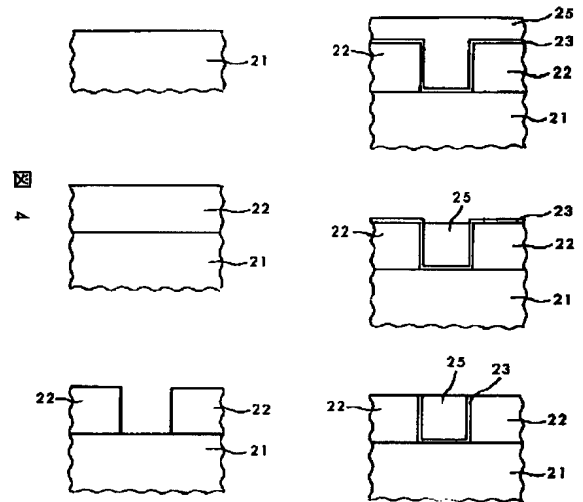


【図6】



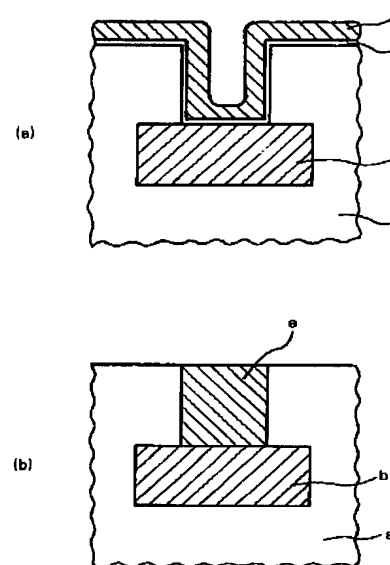
【図5】

図 5



【図8】

図 8



- a …有機樹脂絶縁膜
b …配線導体
c …電気めっき下地膜
d …電気めっき配線導体
e …無電解めっきビア

フロントページの続き

(51) Int. Cl. ⁶

H 0 5 K 3/40

3/46

識別記号

庁内整理番号

F I

技術表示箇所

Z 7511-4E

E 6921-4E

(72) 発明者 渡部 隆好

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内